

Request Form for Translation

U. S. Serial No.: 09/768,471

Requester's Name: BILL BAUMEISTER
Phone No.: (203) 306-9165
Fax No.:
Office Location: CP4-4B40
Art Unit/Org.: 2815
Group Director: GIBSON

Is this for Board of Patent Appeals? NO
Date of Request: 4/7/03
Date Needed By: 5/7/03
(Please do not write ASAP-indicate a specific date)

SPE Signature Required for RUSH:

Document Identification (Select One):

(Note: Please attach a complete, legible copy of the document to be translated to this form)

1. RECEIVED 2003 APR - 1 PM 2:39 2003 APR - 1 PM 2:39
Patent Document No. 63-66974
Language JAPANESE
Country Code JP
Publication Date 3/25/98
(filled by STIC)

2. RECEIVED 2003 APR - 1 PM 2:39 2003 APR - 1 PM 2:39
Article No. of Pages _____
Author _____
Language _____
Country _____

3. RECEIVED 2003 APR - 1 PM 2:39 2003 APR - 1 PM 2:39
Other Type of Document _____
Country _____
Language _____

Document Delivery (Select Preference):

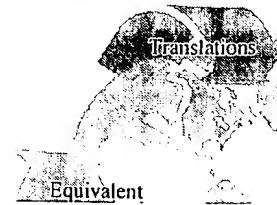
Delivery to Exmr. Office/Mailbox Date: 4/11/03 (STIC Only)
Call for Pick-up Date: _____ (STIC Only)

STIC USE ONLY

Copy/Search M
Processor: M
Date assigned: 4/7
Date filled: 4/7
Equivalent found: Yes/No
Doc. No.:
Country:
Remarks:

Translation
Date logged in: 4/7/03
PTO estimated words: 1667
Number of pages: 1
In-House Translation Available: _____
In-House: _____
Translator: _____
Assigned: _____
Returned: _____
Contractor: _____
Name: MC
Priority: E
Sent: 4/8/03
Returned: 4/9/03

Translation Branch
The world of foreign prior art to you.



PTO 2003-2715
S.T.I.C. Translations Branch

Phone: 308-0881
Fax: 308-0989
Location: Crystal Plaza 3/4
Room 2C15

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?

(Yes/No)

Will you accept an English abstract?

(Yes/No)

Would you like to review this document with a translator prior to having a complete written translation? (Translator will call you to set up a mutually convenient time)

(Yes/No)

Will you accept a Human Assisted Machine Translation?

--It is the default for Japanese Patents, '93 and onwards, with avg. 5-day turnaround after receipt.
NOTE: This is not a printout from the JPO Website.

(Yes/No)

CLIPPEDIMAGE= JP363066974A

PAT-NO: JP363066974A

DOCUMENT-IDENTIFIER: JP 63066974 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: March 25, 1988

INVENTOR-INFORMATION:

NAME

SUGAWARA, TAKESHI

FURUSAWA, KAZUNORI

TERASAWA, MASAAKI

KAMIGAKI, YOSHIAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI MAXELL LTD	N/A
HITACHI VLSI ENG CORP	N/A

APPL-NO: JP61209529

APPL-DATE: September 8, 1986

INT-CL (IPC): H01L029/90; H01L027/04

US-CL-CURRENT: 257/603, 257/605

ABSTRACT:

PURPOSE: To improve the characteristics of a Zener diode thereby to improve the reliability of a semiconductor integrated circuit device by reducing a second semiconductor region smaller than a first semiconductor region in the first semiconductor region and the second semiconductor region disposed under the first region for forming the diode to separate the edge of the second region from the edge of the first region.

CONSTITUTION: A first conductivity type first semiconductor region 10 is formed on the well region 2 of a semiconductor substrate 1, a second conductivity type second semiconductor region 9 is provided under the region 10 to form a diode.

The region 9 is reduced smaller than the region 10 to separate the edge of the region 9 from the edge of the region 10, and a distance 1 between the edges is reduced. Thus, since the region 9 is not overlapped on a channel stopper region 4, the breakdown strength of a Zener diode is not deteriorated, and the extension of a depleted region 11 extended from the region 10 to the region 2 is reduced. Thus, it is not contacted with the region 14 formed between the region 2 and the substrate 1 to improve the characteristics.

COPYRIGHT: (C)1988, JPO&Japio

PTO 03-2715

Japanese Kokai Patent Application
No. Sho 63[1988]-66974

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Ken Sugawara, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. APRIL 2003
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 63[1988]-66974

Int. Cl. ⁴: H-01 L-29/90
27/04

Sequence Nos. for Office Use:	A-7638-5F 7514-5F
Filing No.:	Sho 61[1986]-209529
Filing Date:	September 8, 1986
Publication Date:	March 25, 1988
No. of Invention:	1 (Total of 5 pages)
Examination Request:	Not requested

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

[Handotai shuseki kairo sochi]

Inventors:	Ken Sugawara, et al.
Applicants:	K.K. Hitachi Seisakusho, et al.

[There are no amendments to this patent.]

Claims

1. A semiconductor integrated circuit device characterized in that it has a diode configured with a semiconductor region of a first-conductivity type provided on the surface of a well region of a semiconductor substrate and a semiconductor region of a second conductivity type provided below it, the edge part of the second semiconductor region is separated from the edge part of the first semiconductor region by making the aforementioned second semiconductor region smaller than the first semiconductor region, and the distance between the edge parts is minimal.

2. The semiconductor integrated circuit device described in Claim 1 characterized in that the edge part of the aforementioned first semiconductor region is prescribed by a field isolation

film, and a channel stopper region with the same conductance type as that of the second semiconductor region constituting a part of the aforementioned diode is provided below said field isolation film.

3. The semiconductor integrated circuit device described in Claim 1 characterized in that the distance from the edge part of the aforementioned first semiconductor region to the second semiconductor region is minimized to the extent at which a depletion region extending from the first semiconductor region to the well region and a depletion region created between the semiconductor substrate and the well region are not joined together.

Detailed explanation of the invention

Industrial application field

The present invention pertains to a semiconductor integrated circuit device. More specifically, it pertains to an effective technology to be applied to a semiconductor integrated circuit device equipped with a Zener diode.

Prior art

EEPROM (Electrically Erasable and Programmable ROM) is one type of semiconductor storage device. Its memory cell is formed in a well region, and it is configured using a MISFET having an MNOS (Metal Nitride Oxide transistor) structure. To write information, V_{cc} (for example, 5V) is applied to its gate electrode, and $-V_{pp}$ (for example, -10V) is applied to the well region. To erase, $-V_{pp}$ (for example, -10V) is applied to the gate electrode, and V_{cc} (for example, 5V) is applied to the well region. The $-V_{pp}$ voltage is generated by a boot strap circuit, for example, and a Zener diode is provided between the boot strap circuit and a decoder circuit in order to stabilize it.

Although the following is not a publicized technology, the technology has been examined by the present inventors, and is outlined below.

The aforementioned Zener diode has a configuration in which an n^+ -type semiconductor region is formed on the surface of a p^- -type well region, and a p^- -type semiconductor region is formed below it. A field isolation film which prescribes the n^+ -type semiconductor region is provided around it. In addition, a p-channel stopper region is provided below said field isolation film. When the edge part of the p^- -type semiconductor region of the aforementioned diode is laid over the p-channel stopper region, the impurity concentration at said part increases. This induces a drop in the breakdown voltage of the Zener diode. Thus, it was necessary to make the p^- -type semiconductor region smaller than the n^+ -type semiconductor region, so that p^- -type semiconductor region would not overlap with the p-channel stopper region. Furthermore,

technology related to Zener diode is described on page 693 of the "Semiconductor Handbook" published on June 30 of 1991 by Ohmsha.

Problem to be solved by the invention

The present inventors tested the aforementioned Zener diode, examined the results, and found the following problem.

No p⁻-type semiconductor region is provided at the peripheral part of the n⁺-type semiconductor region of the aforementioned Zener diode. Thus, when -V_{pp} is applied to the aforementioned n⁺-type semiconductor region, a large depletion region extends from the n⁺-type semiconductor region to the p⁻-type well region. If said depletion region comes into contact with (pinch off) the depletion region created between the p⁻-type well region and an n⁻-type semiconductor substrate, the Zener characteristic of the diode ends up being altered. In other words, the -V_{pp} voltage cannot be stabilized.

A purpose of the present invention is to improve the reliability of a semiconductor integrated circuit device.

Another purpose of the present invention is to improve the diode characteristic.

The aforementioned purpose, another purpose, and a new feature of the present invention will be clarified by the descriptions in the present specifications and attached figures.

Means to solve the problem

An outline of a typical invention among those disclosed in the present patent application can be explained briefly as follows.

That is, in the first semiconductor region and the second semiconductor region provided below it which constitute the Zener diode, the aforementioned second semiconductor region is made smaller than the first semiconductor region in order to separate the edge part of the second semiconductor region from the first semiconductor region. In addition, the distance from the edge part of the aforementioned first semiconductor region to the edge part of the second semiconductor region is made short.

Function

Because the second semiconductor region is never overlapped with the channel stopper region when the aforementioned means is used, the breakdown voltage of the Zener diode does not deteriorate; and because the degree the depletion region extends from the first semiconductor region to the well region is reduced, said depletion region never comes into contact with the depletion region created between the well region and the semiconductor substrate; so that the characteristic can be improved.

The present invention will be explained below along with an application example.

Application example

Figure 1 is a plan view of the Zener diode in the present application example, and Figure 2 is a cross sectional view of Figure 1 along the line A-A. Furthermore, no isolation film other than the field isolation film is illustrated in order to make the configuration of the Zener diode easier to see.

In Figures 1 and 2, 1 is a semiconductor substrate made of an n⁻-type single-crystalline silicon, and 2 is a p⁻-type well region provided on the main plane part of semiconductor substrate 1. Field isolation films made of silicon oxide films formed by means of oxidation of the surfaces of semiconductor substrate 1 and well region 2 are provided at prescribed parts on said surfaces. p-type channel stopper region 4 is provided below field isolation film 3 at well region 2.

The Zener diode in the present application example comprises n⁺-type semiconductor region 10 formed on the surface of well region 2 and p⁻-type semiconductor region 9 formed below it. Edge part of n⁺-type semiconductor region 10 is prescribed by field isolation film 3_u. p⁻-type semiconductor region 9 is made smaller than n⁺-type semiconductor region 10, so that its edge part does not overlap with p-type channel stopper region 4. p⁺-type semiconductor region 5 is formed on the surface of well region 2 at the perimeter part of field isolation film 3_u. Thin silicon oxide film 12 and interlayer insulating film 13 configured with silicon oxide film formed by means of CVD, for example, and a phosphorous silicate glass (PSG) film cover the surface of well region 2.

Wiring 8 made of an aluminum film is connected to n⁺-type semiconductor region 10 through connection holes 6 created by removing isolation film 13 and thin silicon oxide film 12 selectively. On the other hand, wiring 7 made of an aluminum film is connected to p⁺-type semiconductor region 5 formed on the surface of well region 2 through connection holes 6.

Source potential V_{cc}, for example, 5V, is applied to n⁺-type semiconductor region 10 via wiring 8. Negative high voltage -V_{pp} (for example, -10V) generated by a boot strap circuit (not illustrated) is applied to well region 2 via wiring 7 and p⁺-type semiconductor region 5. Therefore, -15V is applied to the Zener diode comprising n⁺-type semiconductor region 10 and p⁻-type semiconductor region 9. Because the breakdown voltage of the Zener diode is set to -15V, when the voltage applied to well region 2, that is, the voltage generated by the boot strap circuit, becomes a voltage higher than -10V, a breakdown occurs, and Zener current I_Z flows.

Because the bias is inverted between aforementioned n⁺-type semiconductor region 10 and p⁻-type semiconductor region 9, depletion region 11_v is created between them. Although depletion region 11_u is created similarly between n⁺-type semiconductor region 10 and p⁻-type well region 2, because the impurity concentration at well region 2 is lower than that at p⁻-type

semiconductor region 9, depletion region 11_u extends deep into well region 2. On the other hand, because the bias is inverted between well region 2 and semiconductor substrate 1, depletion region 14 is created between them. A channel is created between depletion region 11_u and depletion region 14 for Zener current I_z .

In the present application example, distance l between the edge part of n⁺-type semiconductor region 10 and the edge part of p⁻-type semiconductor region 9 is reduced to 4 μm or so in order to prevent said channel from entering the pinch off status.

According to the experiment by the present inventors, as shown in Figure 3, the zener voltage of the Zener diode can be kept at -15V as long as aforementioned distance l is 4 μm or smaller. That is, depletion regions 11_u and 14 are never pinched off. Furthermore, Figure 3 is a graph showing the dielectric withstanding characteristic of the Zener diode; wherein, the horizontal axis indicates aforementioned distance l, and the vertical axis indicates the breakdown voltage characteristic of the Zener diode.

The experiment by the present inventors involves the impurity concentration of 10² [illegible] atoms/cm₂ or so for n⁺-type semiconductor region 10, the impurity concentration of 10² [illegible] atoms/cm₂ or so for p⁻-type semiconductor region 9, and the impurity concentration of 10² [illegible] atoms/cm₂ or so for p⁻-type well region 2. In addition, the voltage applied to n⁺-type semiconductor region 10 is source voltage V_{cc} (for example, 5V or so), and negative high voltage - V_{pp} applied to p⁻-type well region 2 is -10V or so. In addition, the joining depth of n⁺-type semiconductor region 10 is 0.4 μm or so, and the joining depth of well region 2 is 4.5 μm or so.

Here, it is important that the extension of depletion region 11_u is dependent not only on distance l but also on the impurity concentrations at n⁺-type semiconductor region 10 and p⁻-type well region 2, and that it changes depending on the voltages applied to n⁺-type semiconductor region 10 and well region. Furthermore, whether depletion regions 11_u and 14 are pinched off or not is dependent on the joining depths of n⁺-type semiconductor region 10 and well region 2.

Therefore, aforementioned distance l is not necessarily limited to 4 μm . What is important is that the aforementioned various kinds of conditions must be taken into consideration, so that depletion regions 11_u and 14 are not pinched off.

As explained above, because distance l from the edge part of n⁺-type semiconductor region 10 to the edge part of p⁻-type semiconductor region 9 which constitute the Zener diode is minimized, the extension of depletion region 11_u from n⁺-type semiconductor region 10 to well region 2 is reduced, so that the path for Zener current I_z between depletion regions 11_u and 14 is never pinched off. Therefore, the Zener diode characteristic can be improved.

Accordingly, because negative high voltage - V_{pp} generated by the boot strap circuit can be well stabilized, the reliability of the memory cell in terms of write and erase can be improved.

The specifics of the present invention have been explained based on an application example above. However, the present invention is not limited to the aforementioned application example, and it can be modified in a variety of ways without going beyond the range of its gist.

Effect of the invention

Effect obtained by a typical invention of those disclosed in the present patent application can be explained briefly as follows.

That is, because the path (channel) in which the Zener current flows is never pinched off, the Zener diode characteristics can be improved.

Brief description of the figures

Figure 1 is a plan view of the Zener diode of an application example of the present invention.

Figure 2 is a cross sectional view of Figure 1 along line A-A.

Figure 3 is a graph showing the breakdown voltage characteristic of the aforementioned Zener diode.

In the figures, 1 ... semiconductor substrate; 2 ... well region; 3 ... field isolation film; 4 ... channel stopper region; 5 ... semiconductor region; 6 ... connection hole; 7, 8 ... wiring (aluminum); 9, 10 ... semiconductor region (Zener diode); 11_u, 11_v, 14 ... depletion region; 12 ... silicon oxide film; 13 ... insulating film; and 1 ... distance from the edge part of n⁺-type semiconductor region 10 to the edge part of p⁻-type semiconductor region 9.

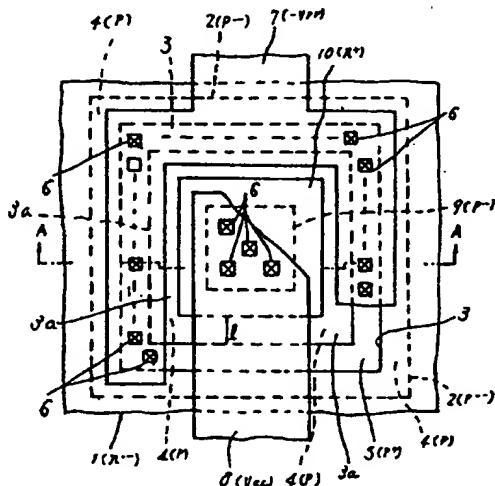


Figure 1

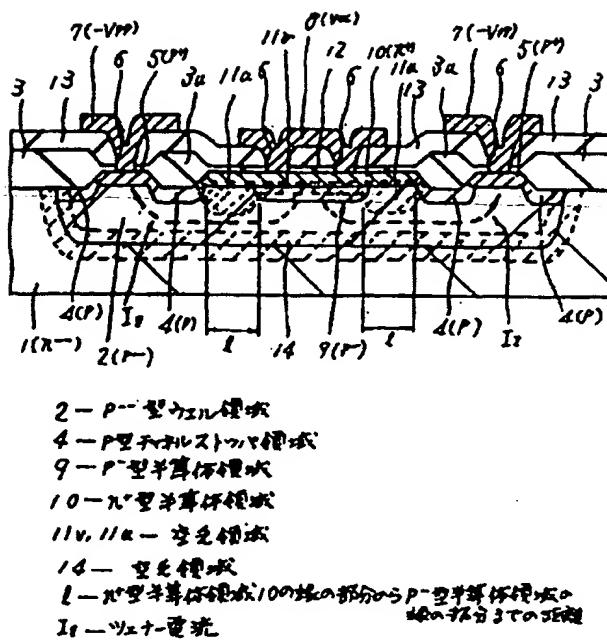


Figure 2

2 p-type well region
 4 p-channel stopper region
 9 p-type semiconductor region
 10 n⁺-type semiconductor region
 11_v, 11_u Depletion region
 14 Depletion region
 1 Distance from the edge part of n⁺-type semiconductor region 10 to the edge part of p-type semiconductor region 9
 Iz Zener current

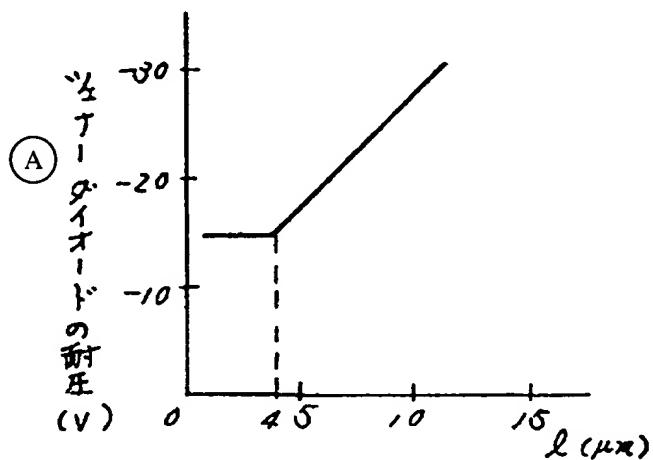


Figure 3

Key: A Breakdown voltage of Zener diode (V)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭63-66974

⑫ Int.Cl.

H 01 L 29/90
27/04

識別記号

厅内整理番号

A-7638-5F
7514-5F

⑬ 公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特願 昭61-209529

⑯ 出願 昭61(1986)9月8日

⑰ 発明者 菅原 健 大阪府茨木市丑寅1丁目1番88号 日立マクセル株式会社
内

⑰ 発明者 古沢 和則 東京都小平市上水本町1450番地 株式会社日立製作所武藏
工場内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出願人 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号

⑰ 出願人 日立超エル・エス・ア
イエンジニアリング株
式会社 東京都小平市上水本町1448番地

⑰ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 半導体基板のウエル領域の表面に第1導電型
の第1半導体領域を設け、この下部に第2導電
型の第2半導体領域を設けて構成したダイオード
を有し、前記第2半導体領域を第1半導体領域
より小さくすることによって第2半導体領域
の線の部分を第1半導体領域の線の部分から離
し、かつそれら線の部分の間の距離を小さくし
たことを特徴とする半導体集積回路装置。

2. 前記第1半導体領域の線の部分は、フィール
ド絶縁膜によって規定されており、このフィー
ルド絶縁膜の下部には前記ダイオードの一部
である第2半導体領域と同一導電型のチャネル
ストッパ領域が設けてあることを特徴とする特
許請求の範囲第1項記載の半導体集積回路装置。

3. 前記第1半導体領域の線から第2半導体領域
の線までの距離は、第1半導体領域からウエル

領域に延びる空乏領域と、半導体基板とウエル
領域の間に形成される空乏領域とが接合しない
ように小さくしていることを特徴とする特許請
求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体集積回路装置に関するもので
あり、特に、ウェーネーダイオードを備えた半導体
集積回路装置に適用して有効な技術に関するもの
である。

【従来の技術】

半導体記憶装置の一つにEEPROM (Electrically Erasable and Programmable ROM) がある。これのメモリセルは、ウエル領域に構成され、またMOS (Metal Nitride Oxide transistor) 構造のMISFETを用いて構成される。情報の書き込みは、ゲート電極にVcc (例えば5V)、ウエル領域
に-Vpp (例えば-10V) を印加することに

よって行う。消去は、ゲート電圧に $-V_{pp}$ （例えば -10V ）、ウエル領域に V_{cc} （例えば 5V ）を印加することによって行う。 $-V_{pp}$ 電圧は、例えばブートストラップ回路によって発生させると、これの安定化のためにブートストラップ回路とデコーダ回路の間にシェナーダイオードを設けている。

以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

前記シェナーダイオードは、例えば p^- 型ウエル領域の表面に n 型半導体領域を形成し、この下部に p 型半導体領域を形成して構成する。 n 型半導体領域の周囲には、それを規定するフィールド絶縁膜が設けられ、またこのフィールド絶縁膜の下には p チャネルストッパ領域が設けられる。前記ダイオードの p 型半導体領域の線の部分が、 p チャネルストッパ領域に重なると、その部分の不純物濃度が高くなる。これは、シェナーダイオードの耐圧の低下を引起す。このため、 p 型半導

体領域を n 型半導体領域より小さくして、 p 型半導体領域が p チャネルストッパ領域に重ならないようにする必要があった。なお、シェナーダイオードに関する技術は、例えば、オーム社発行、「半導体ハンドブック」、昭和56年6月30日発行、p 6-9-3に記載されている。

【発明が解決しようとする問題点】

本発明者は前記シェナーダイオードの実験ならびにその検討の結果、次の問題点を見出した。

前記シェナーダイオードの n 型半導体領域の周辺部分では、その下に p 型半導体領域が設けられていない。このため、前記 n 型半導体領域に $-V_{pp}$ を印加したとき、 n 型半導体領域から p^- 型ウエル領域へ空乏領域が大きく延びる。この空乏領域が、 p^- 型ウエル領域と n^- 型半導体基板との間に形成される空乏領域に接する（ピンチオフ）と、ダイオードのシェナー特性が変化してしまう。すなわち、 $-V_{pp}$ 電圧の安定化を図ることができない。

本発明の目的は、半導体集積回路装置の信頼性

を向上することにある。

本発明の他の目的は、ダイオードの特性を向上することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【問題点を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、シェナーダイオードを構成する第1半導体領域及びこの下の第2半導体領域において、前記第2半導体領域を第1半導体領域より小さくして第2半導体領域の線の部分を第1半導体領域の線の部分から離す。また、前記第1半導体領域の線の部分から第2半導体領域の線までの間の距離を小さくする。

【作用】

上記した手段によれば、第2半導体領域がチャネルストッパ領域と重なることがないので、シェ

ナーダイオードの耐圧が劣化することなく、また第1半導体領域からウエル領域へ延びる空乏領域の延びが小さくなるので、その空乏領域と、ウエル領域と半導体基板との間に形成される空乏領域とが接することができなくなり、特性の向上を図ることができる。

以下、本発明を実施例とともに説明する。

【実施例】

第1図は、本実施例におけるシェナーダイオードの平面図であり、第2図は、第1図のA-A切断線における断面図である。なお、第1図は、シェナーダイオードの構成を見易くするために、フィールド絶縁膜以外の絶縁膜を図示していない。

第1図及び第2図において、1は n^- 型単結晶シリコンからなる半導体基板であり、2は半導体基板1の正面部に設けられた p^- 型ウエル領域である。半導体基板1及びウエル領域2の表面の所定部分には、それらの表面の酸化による酸化シリコン膜からなるフィールド絶縁膜3が設けてある。ウエル領域2におけるフィールド絶縁膜3

の下には p 型チャネルストップ領域 4 を設けている。

この実施例のシェナーダイオードは、ウエル領域 2 の表面に形成した n' 型半導体領域 10 と、これの下に形成した p' 型半導体領域 9 からなっている。n' 型半導体領域 10 の縁の部分は、リング状のフィールド絶縁膜 3u によって規定してある。

p' 型半導体領域 9 は、その縁の部分が p 型チャネルストップ領域 4 と重ならないように、p' 型半導体領域 10 より小さく形成してある。前記フィールド絶縁膜 3u の外周部におけるウエル領域 2 の表面に p' 型半導体領域 5 を形成してある。ウエル領域 2 の表面上を薄い酸化シリコン膜 12 と、例えば CVD による酸化シリコン膜とリンシリケートガラス (PSG) 膜とで構成した層間絶縁膜 13 が置っている。

n' 型半導体領域 10 にアルミニウム膜からなる配線 8 が、絶縁膜 13 及び薄い酸化シリコン膜 12 を選択的に除去してなる接続孔 6 を通して接続している。一方、ウエル領域 2 の表面に形成した

型半導体領域 9 のそれより低いため空乏領域 11u はウエル領域 2 内に深く延びる。一方、ウエル領域 2 と半導体基板 1 の間は逆バイアスになっているため、それらの間に空乏領域 14 を生じる。空乏領域 11u と空乏領域 14 の間は、シェナーダイオードのチャネルとなっている。

このチャネルがピンチオフ状態になるのを防止するため、この実施例では、n' 型半導体領域 10 の縁の部分と、p' 型半導体領域 9 の縁の部分の間の距離 l を $4 \mu\text{m}$ 程度に小さくしている。

本発明者の実験によれば、第 3 図に示したように、前記距離 l が $4 \mu\text{m}$ 以下であれば、シェナーダイオードのブレイクダウン電圧を -15V に保つことができる。すなわち、空乏領域 11u と 14 がピンチオフになることがない。なお、第 3 図はシェナーダイオードの耐圧特性を示したグラフであり、横軸は前記距離 l 、縦軸はシェナーダイオードの耐圧を示している。

本発明者の実験は、n' 型半導体領域 10 の不純物濃度が $10^{19} \text{ atoms/cm}^3$ 程度、p' 型半導体

p 型半導体領域 5 に接続孔 6 を通してアルミニウム膜からなる配線 7 が接続している。

n' 型半導体領域 10 には、配線 8 を通して電源電圧 V_{cc} 例えば 5V が印加される。ウエル領域 2 には、配線 7 及び p' 型半導体領域 5 を通して、ブートストラップ回路 (図示せず) で発生される負の高電圧 $-V_{pp}$ (例えば -10V) が印加される。したがって、n' 型半導体領域 10 と p' 型半導体領域 9 とからなるシェナーダイオードには -15V が印加される。シェナーダイオードの耐圧は -15V に設定してあるため、ウエル領域 2 に印加される電圧すなわちブートストラップ回路で発生される電圧が、 -10V より高い負の高電圧になるとブレイクダウンを起し、シェナーダイオードが流れる。

前記 n' 型半導体領域 10 と p' 型半導体領域 9 の間は逆バイアスになっているため、そらの間には空乏領域 11v を生じる。同様に、n' 型半導体領域 10 と p'' 型ウエル領域 2 の間に空乏領域 11u を生じるが、ウエル領域 2 の不純物濃度が p''

領域 9 の不純物濃度が $10^{19} \text{ atoms/cm}^3$ 程度、p'' 型ウエル領域 2 の不純物濃度が $5 \times 10^{18} \text{ atoms/cm}^3$ 程度でなされている。また、n' 型半導体領域 10 に印加する電圧は、電源電圧 V_{cc} 例えば 5V 程度であり、p'' 型ウエル領域 2 に印加される負の高電圧 $-V_{pp}$ が -10V 程度である。また、n' 型半導体領域 10 の接合深さは $0.4 \mu\text{m}$ 程度であり、ウエル領域 2 の接合深さは $4.5 \mu\text{m}$ 程度である。

ここで、重要なことは、空乏領域 11u の延びが距離 l だけでなく、n' 型半導体領域 10、p'' 型ウエル領域 2 の不純物濃度に依存し、また n' 型半導体領域 10 に印加する電圧及びウエル領域 2 に印加する電圧によって変ることである。さらに、空乏領域 11u と 14 がピンチオフになるかならないかは、n' 型半導体領域 10 の接合深さ及びウエル領域 2 の接合深さに依存する。

したがって、前記距離 l は、 $4 \mu\text{m}$ に限定されるものではなく、重要なことは、前記諸々の条件を考慮した上で、空乏領域 11u と 14 がピンチ

オフにならないように設定することである。

以上の説明のように、シェナーダイオードを構成するためのp型半導体領域10の線からp型半導体領域9の線までの距離 l を小さくしていることにより、n型半導体領域10からウエル領域2へ延びる空乏領域1-1uの延びが小さくなるので、シェナーディオードの特性を向上することができる。

これにより、ブートストラップ回路によって形成される負の高電圧-V_{pp}の安定化を良好に行うことができるので、メモリセルの書き込み及び消去の信頼性を向上することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

【発明の効果】

本願によって開示された発明のうち代表的なも

のによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、シェナーディオードの特性を向上することができる。

4. 図面の簡単な説明

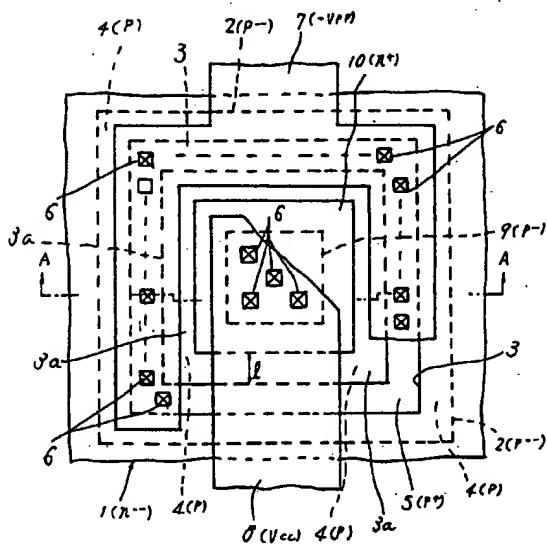
第1図は、本発明の一実施例のシェナーディオードの平面図。

第2図は、第1図のA-A切断線における断面図。

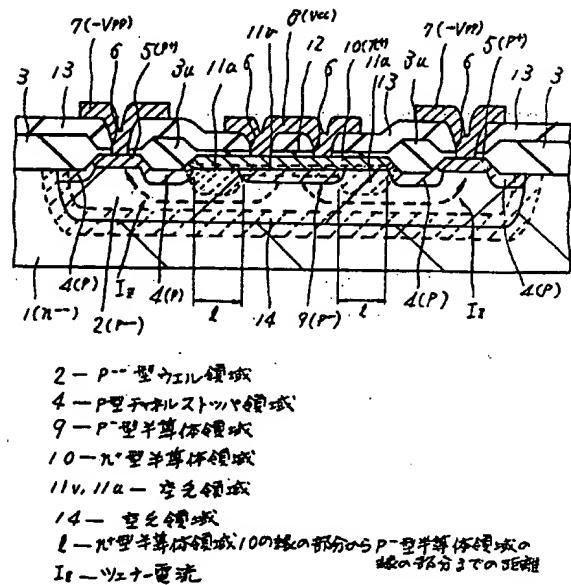
第3図は、前記シェナーディオードの耐圧の特性を示したグラフである。

図中、1…半導体基板、2…ウエル領域、3…フィールド絶縁膜、4…チャネルストップ領域、5…半導体領域、6…接続孔、7、8…配線（アルミニウム）、9、10…半導体領域（シェナーディオード）、11u、11v、1-4…空乏領域、12…酸化シリコン膜、13…絶縁膜、A…n型半導体領域10の線の部分からp型半導体領域9の線の部分までの距離。

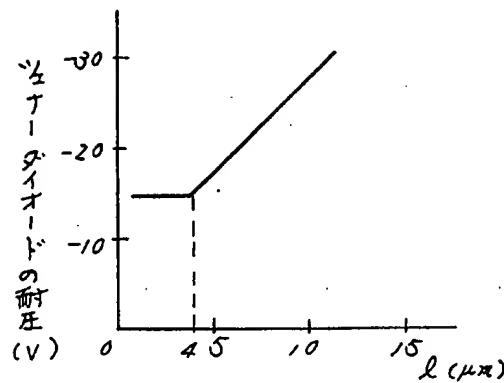
第1図



第2図



第 3 図



第1頁の続き

②発明者 寺沢 正明 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内
②発明者 神垣 良昭 東京都小平市上水本町1450番地 株式会社日立製作所武藏
工場内